

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326951

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

H05K 1/02

H01L 23/12

(21)Application number : 09-150390

(71)Applicant : NGK SPARK PLUG CO LTD

(22)Date of filing : 23.05.1997

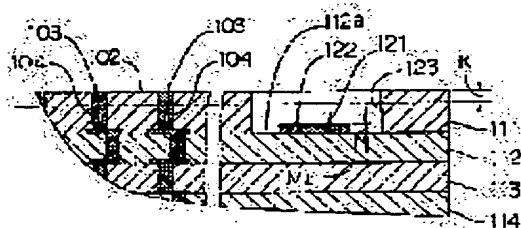
(72)Inventor : ITAI MOTOHIKO

(54) WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To flatly grind a chip-loading surface for securing the coplanarity of an electrode group, without eliminating a mark for positioning or the like in a wiring board which is composed by readably providing the mark on a flip chip loading surface side.

SOLUTION: A mark 121 is formed on an upper surface 112a of a ceramic layer 112 immediately below a ceramic layer 11 for forming the chip loading surface 102, so as to turn an upper surface 122 of a mark 121 to a level lower than that of a chip-loading surface 102. Then, an opening 123 is provided on the ceramic layer 111 of a highest layer, so as to read the mark 121 from the side of the flip chip loading surface 102.



LEGAL STATUS

[Date of request for examination]

18.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-326951

(43)公開日 平成10年(1998)12月8日

(51)Int.Cl.⁶

識別記号

F I

H 0 5 K 1/02

H 0 5 K 1/02

R

H 0 1 L 23/12

H 0 1 L 23/12

F

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21)出願番号 特願平9-150390

(22)出願日 平成9年(1997)5月23日

(71)出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市瑞穂区高辻町14番18号

(72)発明者 板井 基彦

名古屋市瑞穂区高辻町14番18号 日本特殊
陶業株式会社内

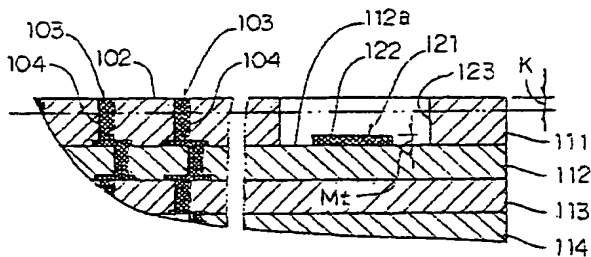
(74)代理人 弁理士 加藤 和久

(54)【発明の名称】 配線基板

(57)【要約】

【課題】 位置決めなどのためのマークをフリップチップ搭載面側に読取り可能に設けなる配線基板で、同マークを消失させることなく、電極群のコロナナリティ確保のため、チップ搭載面を平面研磨可能とする。

【解決手段】 マーク121の上面122がチップ搭載面102より低位となるように、同マーク121を、チップ搭載面102を形成するセラミック層111のすぐ下のセラミック層112の上面112aに形成する。そして、このマーク121がフリップチップ搭載面102側から読取り可能に最上層のセラミック層111に開口123を設ける。



【特許請求の範囲】

【請求項1】 フリップチップ搭載面にフリップチップ接続用の多数の電極を備えと共に、マークをこのフリップチップ搭載面側に読取り可能に備えてなる配線基板において、前記マークを該フリップチップ搭載面より下に存在するように設けたことを特徴とする配線基板。

【請求項2】 フリップチップ搭載面にフリップチップ接続用の多数の電極を備えと共に、マークをこのフリップチップ搭載面側に読取り可能に備えてなる、絶縁材積層構造の配線基板において、前記マークの上面が該フリップチップ搭載面より低位となるように、該マークを該フリップチップ搭載面を形成する絶縁材層より下の絶縁材層の上面に形成すると共に、該マークが形成された絶縁材層より上の絶縁材層に、該マークを露出させる開口を設けて該マークを読取り可能に形成してなることを特徴とする配線基板。

【請求項3】 フリップチップ搭載面にフリップチップ接続用の多数の電極を備えと共に、マークをこのフリップチップ搭載面側に読取り可能に備えてなる、絶縁材積層構造の配線基板において、前記マークの上面が該フリップチップ搭載面より低位となるように、該マークを該フリップチップ搭載面を形成する絶縁材層のすぐ下の絶縁材層の上面に形成すると共に、前記フリップチップ搭載面を形成する絶縁材層に、該マークを露出させる開口を設けて該マークを読取り可能に形成してなることを特徴とする配線基板。

【請求項4】 請求項2又は3記載の配線基板において、その開口に透明樹脂が充填されてなることを特徴とする配線基板。

【請求項5】 請求項1、2、3又は4記載の配線基板において、前記マークを消失させることなく前記フリップチップ搭載面が平面研磨されてなることを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IC等の電子部品を搭載、接続するフリップチップ搭載用の配線基板に関し、詳しくは、電極（外部端子）を一主面に多数備えたフリップチップ（以下、単にチップともいう）を搭載、接続するため、セラミックや樹脂などの絶縁材を主体として形成されてなる配線基板（以下、単に基板ともいう）に関する。

【0002】

【従来の技術】 図6及び図7は、フリップチップ（2点鎖線で図示）201を接続する配線基板101の一例を示している。このものは、それ自体は複数の絶縁材層111～115から形成され、フリップチップ201を搭載するフリップチップ搭載面（以下、チップ搭載面ともいう）102をなすその上面には、チップ201の図示しない電極（以下、チップ側の電極をバンプという）に

対応する多数の電極103、103を備えている。また、図示のようにこの配線基板101のチップ搭載面102には、電極103と同材質で比較的大きめのマーク（フィディシャルマーク或いはアライメントマークともいわれる）121～121が例えば基板101の外周寄り部位に3か所設けられている。なお、同図の1マークは4つの部位121a～121aからなっている。これは、チップ201のアッセンブル工程でそれを正しく位置決めして接続するためや、その後、基板101とチップ201の接続面間のアンダーフィル（樹脂充填）を行う際の位置決め（確認）などに用いられる。また、上記のような位置決めのためのマークの他にも、配線基板の品番や方向を示すマークなどが形成されることもある。

【0003】 このような配線基板101にチップ201を搭載、接続する際には、この3つの位置決めのためのマーク121～121の周縁（位置）を読取り、それに基づいて各電極103及びこの上に形成されたハンダバンプ（図示せず）の位置を検出する。そして、この検出位置にチップ201の各バンプが正対するようにチップ201の位置を修正、位置決めし、配線基板101上に正しく搭載し、ハンダバンプを溶融させて両者を接合している。

【0004】 ところで、上記配線基板101が例えばセラミック積層構造のものである場合には従来次のように製造されていた。すなわち、所定のセラミックグリーンシートに電氣的導通用（内部配線用）に必要なビアホールをあげ、同ホール及びシート面に必要なメタライズペーストをスクリーン印刷する。この際、チップ搭載面（最上層）102をなすセラミックグリーンシートの製造においては、マーク121の形成のためのメタライズペーストをチップ接合用の電極（パッド）先端のキャッピング（凹みの補填）のためのメタライズペーストの印刷と同時にスクリーン印刷する。

【0005】 次に、このマーク121や電極103のためのメタライズペーストが印刷され、チップ搭載面102をなすグリーンシートを最上層とし、ビアなどの内部配線が印刷された他の複数のグリーンシートを積層、熱圧着する。そして、基板単位に切断して焼成し、Ni（ニッケル）メッキなどの表面処理をする。こうして製造された配線基板101は、図7に示したように、そのチップ搭載面102において電極103とマーク121がその厚さ分、隆起した状態で形成されることになる。

【0006】 このような配線基板101には、後工程でチップ201が搭載、接続されるが、この基板101の電極（群）103の上端面（先端面）に許容されるバラツキの幅（一平面性）、すなわち、チップ搭載面102における電極103の上端面のコ-planarity（coplanarity）には、チップ201のバンプの上端面のそれに対応するよう高度のコ-planarityが要求される。ところが、前記のようなセラミック製の基板

の製造においては焼成時に、例えば図 7 中、2 点鎖線で示したような反りやウネリなどの変形が発生しがちであり、その場合には電極（群）103～103の上端面のコーポラナリティは損なわれることになる。このため、上記の製法では、電極（群）の上端面に高いコーポラナリティを確保することは困難な場合があり、したがって、このような要請には従来、メッキ前に再焼成を行い、その反り等の矯正（修正）を行うことを余儀なくされていた。

【0007】しかし、このような矯正によって電極 103の上端面に得られるコーポラナリティは、せいぜい25 μ m程度の範囲であり、これ以上の例えば10 μ m以内といった極めて高度のコーポラナリティを得ることは困難である。そこで、こうした要請には、焼成後、そのチップ搭載面102を平面研磨し、そのチップ搭載面102と電極103の上端面とを一平面とし、これによってその反り等を解消しつつ、電極（群）103の上端面について高度のコーポラナリティを得ることが考えられる。

【0008】

【発明が解決しようとする課題】ところが、このような平面研磨によって電極103の上端面のコーポラナリティを得ようとする、マーク121の厚さ（メタライズ層）が通常10 μ m程度と極めて薄いことから、その際同時にマーク121が削りとられて消失してしまうことになる。しかも、この種の配線基板101ではマーク121がチップ搭載面102において比較的その外周寄り部位に形成される。したがって、焼成された基板101が図7中、2点鎖線で示したようにチップ搭載面102が凹となすように反っている場合には実質的なチップ搭載面が研磨されることなくその外周寄り部位が集中的に研磨され、マークが削りとられてしまうことになる。このように上記構造の配線基板101では、平面研磨によってマークを消失させることなく電極（群）の上端面のコーポラナリティ（以下、電極のコーポラナリティともいう）を得ることはできない。

【0009】なお、マーク用のメタライズペーストを印刷することなく基板を焼成し、焼成による反りを研磨で解消した後で再度位置合せを行って電極の上端面のキャッピングとともに、マークのためのメタライズペーストを印刷して再焼成する手法も考えられる。しかし、これでは位置合せの困難さもさることながら、結局その再焼成によって反りが発生するなどより、非効率である上に電極に高いコーポラナリティを確保することは困難である。

【0010】本発明は、このような点に鑑みて案出されたもので、その目的とするところは、フリップチップの接続などにおける位置決めのためなどに用いられる各種のマークをフリップチップ搭載面側に読取り可能に備え

のため、そのマークを消失させることなく、チップ搭載面の平面研磨を可能とした配線基板、さらにはそのマークを消失させることなくチップ搭載面が平面研磨される配線基板を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために本発明は、フリップチップ搭載面にフリップチップ接続用の多数の電極を備えたと共に、マークをこのフリップチップ搭載面側に読取り可能に備えてなる配線基板において、前記マークを該フリップチップ搭載面より下に存在するように設けたことにある。なお、本明細書において「フリップチップ搭載面」若しくは「チップ搭載面」とは、配線基板におけるフリップチップの搭載（接合）される側の主面をいう。

【0012】上記の手段により、本発明に係る配線基板においては、マークをフリップチップ搭載面より下に存在するように設けたことから、後工程でそのマークを消失させることなく、フリップチップ搭載面を所定量、平面研磨することができる。したがって、チップ搭載面に存在する多数の電極群の上端面は、チップ搭載面と同様に高度のコーポラナリティとなすことができる。なお上記手段において、「マークをフリップチップ搭載面より下に存在するように設けた」としたのは、本発明ではマークの上面がフリップチップ搭載面より下にある場合に限らず、同マークの部分がフリップチップ搭載面より上にあっても同マークの下寄り部位がフリップチップ搭載面より下に存在するような厚さで設けられている場合でも、同様の効果があるからである。すなわち、この場合でも、後工程でそのマークを消失させることなく、フリップチップ搭載面を所定量、平面研磨することができるためである。なお、本明細書において「研磨」とは、研磨又は研削を意味する。

【0013】そして、セラミック積層構造や樹脂積層構造などの絶縁材積層構造からなる配線基板では次の構成（構造）とする。すなわち、フリップチップ搭載面にフリップチップ接続用の多数の電極を備えたと共に、マークをこのフリップチップ搭載面側に読取り可能に備えてなる、絶縁材積層構造の配線基板において、前記マークの上面が該フリップチップ搭載面より低位となるように、該マークを該フリップチップ搭載面を形成する絶縁材層よりも下の絶縁材層の上面に形成すると共に、該マークが形成された絶縁材層より上の絶縁材層に、該マークを露出させる開口を設けて該マークを読取り可能に形成してなるものである。

【0014】この構成においても後工程でそのマークを消失させることなく、フリップチップ搭載面を所定量、平面研磨することができる。すなわち、マークの上面はチップ搭載面より低位にあるから、マークを消失させることなく、チップ搭載面を形成する最上層の絶縁材層の上面を所定量、平面研磨（研削）することができ、その

後におけるマークの読取りにも支障を招かない。したがって、フリップチップ搭載面を形成する絶縁材層の上面に適切な研磨代を設定することでチップ搭載面に存在する多数の電極群の上端面は、チップ搭載面と同様に高度のコーポラナリティをなすことができる。これにより、配線基板が例えばセラミック積層構造品であり、焼成によってそのチップ搭載面が凹となすように反っていても、マークを消失させることなく、チップ搭載面の平面研磨ができる。したがって、このような基板においてもその電極の上端面に所望とするコーポラナリティをうる

【0015】なお、前記手段ではマークをチップ搭載面を形成する絶縁材層よりも下の絶縁材層の上面に形成することとしたが、基板に許容される反り等の変形の大きさやチップ搭載面を形成する絶縁材層の厚さ、さらにはマークをなすメタライズ層の厚さ等を考慮すると、次のように構成するのがより好ましい。すなわち、フリップチップ搭載面にフリップチップ接続用の多数の電極を備えたと共に、マークをこのフリップチップ搭載面側に読取り可能に備えてなる、絶縁材積層構造の配線基板において、前記マークの上面が該フリップチップ搭載面より低位となるように、該マークを該フリップチップ搭載面を形成する絶縁材層のすぐ下の絶縁材層の上面に形成すると共に、前記フリップチップ搭載面を形成する絶縁材層に、該マークを露出させる開口を設けて該マークを読取り可能に形成してなるものである。なお、本明細書において「マーク」とは、フリップチップの接続などにおける位置決め

【0016】例えば、セラミック積層構造の基板の主面に許容される焼成時の変形（反り等）の大きさは、27 μ m程度と微小であり、したがって、チップ搭載面のコーポラナリティをうるために設定すべき研磨代は0.1mm程度あれば略問題ない。これに対し、チップ搭載面を形成する絶縁材層の厚さは0.3mm程度と比較的厚くすることができ、また、マークをなすメタライズ層の厚さは読取りを確実にするためでも10 μ m程度と極めて薄くてよいからである。さらに、前記手段ではマークは露出されているが、このマークは読取り可能であればよいことから、前記各手段における開口には透明な樹脂（例えばエポキシ樹脂）が充填されていてもよい。なお、本明細書で透明とは、マークの読取に支障のない程度の透明性があることをいう。

【0017】そして、上記の本発明に係る配線基板において、前記マークを消失させることなく前記フリップチップ搭載面が平面研磨されてなるものにおいては、チップ搭載面とともに電極の上端面には極めて高度のコーポラナリティが確保されており、したがって、フリップチップとの接続性の向上が図られる。

【0018】

【発明の実施の形態】本発明に係る配線基板の一実施形態例について、図1ないし図3を参照しながら詳細に説明する。ただし、本例では多数のセラミック層からなる積層構造の配線基板において具体化した場合を説明する。図中101は、本例の配線基板であって矩形平板状をなし、詳しくは図示しないが、チップ搭載面102すなわち基板上面（主面）102の中央寄り部位には、搭載されるフリップチップ201の bumps（図示せず）との接続用の多数の電極（群）103が、平面視（チップ搭載面102を上から見て）、同チップ201の各 bumps と対面するように、それと同じ微細なピッチ、配置で絶縁を確保し縦横に多数形成されている。ただし、この電極103の上端面（以下、電極面ともいう）は、基板101の最上層を形成するセラミック層111の上面つまりチップ搭載面102と略面に形成されている。なお、これらの電極103は、各々その下に連なるビア104を介して、各セラミック層112～115に形成された多数の内部配線やビアに接続され、下面105に形成された外部配線取り出し用の図示しない各電極に接続されている。

【0019】そして、基板101のチップ搭載面102側の外周寄り部位には、電極103と同じ構成（メタライズ層）からなるマーク（本例では位置決めのためのマーク）121が例えば3か所、独立して形成されている。ただし、各マーク121とも本例では、平面視、四つの長方形部位121aに分割されており、チップ搭載面102を形成する最上層のセラミック層111のすぐ下のセラミック層112の上面112aに、所定の厚さM1で形成されている。また、チップ搭載面102を形成するセラミック層112には、平面視、そのマーク121に対応する部位に、このマーク121全体が露出するように平面視、略正方形でマーク121より大きい窓状の開口123が設けられている。こうして、マーク121がチップ搭載面102側から読取られるように形成されている。

【0020】なお、本例の配線基板101を形成する一セラミック層の厚さは、0.1～0.3mm程度であり、メタライズペーストが印刷されて同時焼成されてなるマーク121の厚さM1は本例では10 μ mとされている。したがって、本例でのマーク121は、その上面122が最上層のセラミック層111の上面がなすチップ搭載面102より、略そのセラミック層111の厚さ分近く、低位となるように設けられている。因みに、本例では焼成後の最上層のセラミック層111の厚さは例えば0.25mmに設定されており、その上面側に平面研磨代Kが、例えば0.1mm設けられている。

【0021】このように構成された本形態の配線基板101は、チップ搭載面102がその研磨代（0.1mm）K分、後工程で平面研磨できる。そして、その研磨

代K分研磨されると、電極面103もチップ搭載面102と同時に平面研磨され、電極103の群の上端面はその研磨精度に応じた高度のコーポセラナリティでチップ搭載面102と面一に仕上げられる。一方、このように研磨されても、マーク121は上から2層目のセラミック層112の上面112aに10 μ m程度の厚さで形成されているために消失しない。したがって、後述するように後工程で、鍍金がされ、その後のフリップチップ接続などにおける位置決めにおいても、このマーク121の読取りを損なわせることもない。

【0022】このように本例の配線基板101においては、焼成後、マーク121を消失させることなくチップ搭載面102をその研磨代K分、平面研磨することができるので、電極面(群)103に所望とするコーポラナリティを確保できる。なお、研磨代Kは、反りなどの変形を考慮し、チップ搭載面102がいわば一皮削りとられることで、電極面群の全体も同時に研磨されるように、配線基板101に応じて適宜に設定すればよい。また、マーク121は、本例ではその上面122が平面研磨後においてもチップ搭載面102より低位となるように薄く設けたが、平面研磨時に、上面が研磨され平面研磨後においてチップ搭載面102と面一となるように十分厚くしておくことも可能である。

【0023】なお、この様に平面研磨された配線基板101は、その後、従来と同様に電極103の上端面やマーク121の表面などのメタライズ層にNi鍍金、Au鍍金をする。すると、その鍍金厚さ分、微小ながらチップ搭載面102より電極面が隆起する。こうして形成された配線基板(完成品)101は、そのチップ搭載面102とともに電極(群)103~103の上端面が平面研磨されたものであることから、例えば従来のセラミック積層構造の配線基板のように再焼成によってえられるコーポラナリティに比べ、極めて高度のコーポラナリティの電極をもつ配線基板101となすことができる。なお、この各電極103には場合によってはハンダバンプが形成される。

【0024】さらに、本例のようなセラミック積層構造の配線基板101では、その最上層のグリーンシートの製造において、従来の配線基板におけるようなビア上端面部のキャッピングのためのメタライズペーストの印刷工程を要しない。つまり、従来のこの種の配線基板では、ビアの上端面(露出先端面)の凹みを防止し、チップのバンプとのハンダ接合時におけるボイドの発生を防ぐための穴埋めとしてキャッピング工程を要していた。しかし、本例の配線基板101ではチップ搭載面102が平面研磨されると同時に電極103の上端面も平面研磨されるためにキャッピングは不要となる。また、本例の配線基板101のようにセラミック積層構造のものである、平面研磨されることで、メタライズペーストの印刷不良や焼成に起因する汚れや異物が同時に除去される。

したがって、チップ搭載面102の外観不良が低減され、その分品質の向上も期待される。

【0025】さて次に前記したセラミック積層構造の配線基板101の製法について、図4を参照して説明するが、このものは従来公知のセラミック積層構造の配線基板の製法と基本的に共通するため、相違点(異なる工程)のみ説明する。すなわち、チップ搭載面102を形成するセラミック層111のすぐ下のセラミック層112を形成するセラミックグリーンシートの製造において、マーク121に対応するその平面的位置に、マーク用のメタライズペースト121bとして例えば鍍金の被着性に優れたMo(モリブデン)を主成分とするメタライズペースト、或いはW(タングステン)を主成分とするメタライズペーストをスクリーン印刷する。

【0026】また、チップ搭載面102つまり最上層のセラミック層111を形成するセラミックグリーンシートについては、マーク121に対応するその平面的位置に、マーク121が露出するように、それよりより大きい開口123a(前例では正方形)をパンチングなどにより穿孔する。なお、チップ搭載面102を形成するセラミック層111には所定の研磨代Kが保持される厚さのグリーンシートを用いる。そしてこれらのグリーンシートにも、ほかの所定のセラミック層113~115を形成するためのグリーンシートと同様に所定のビアホールにはメタライズペーストを印刷、充填する。

【0027】かくては、従来の製法と同様に、最上層のセラミック層111を形成するグリーンシートやその下のセラミック層112を形成するグリーンシートなど、メタライズペーストが印刷された所定のグリーンシートを積層、圧着し、その後、裏面に例えばBCA電極用メタライズペーストを印刷した後、基板単位に切断する。そして、従来同様に焼成することで、前記のマーク付きのセラミック積層構造のフリップチップ用配線基板が製造される。

【0028】図5は、別の形態例を示すものであるが、基本的には前例と異なる点はないので、同一の部位には同一の符号を付し、相違点のみ説明するにとめる。すなわち、本図のものは、前例よりさらに1層下の絶縁材層113の上面113aにマーク121を形成し、このマーク121が露出するように、その上の2層分の絶縁材層111、112に開口123を設けてなるものである。このものでは、マーク121の上面122が前例に対し、上から2層目の絶縁材層112の厚さ分低位となる。

【0029】本発明においては、基板の厚さ方向におけるマークの位置(深さ位置)やマーク自体の厚さは、電極面に要求されるコーポラナリティをだすため、基板ごとに必要とされる研磨代を考慮し、その平面研磨があっても消失しない範囲で適宜に設定すればよい。なお、研磨代は、基板に与えられる反りの最大許容値を考慮つ

【００３０】上記各例では、マークを露出させる開口を略正方形としたが、この平面形状や大きさは、配線基板ないしそのマークの平面形状に応じてその読取りに支障がないように設定すればよい。そして、開口中には、マークの読取りに支障がないかぎり、透明の樹脂が充填されていてもよい。すなわち、本発明では、そのマークが、チップ搭載面が平面研磨された際に消失せず、例えばチップを接続する際などにおいて問題なく読取られるように、チップ搭載面より下に存在するように設けられていけばよいのである。

【００３１】上記においては、セラミック積層構造の配線基板で説明したが、本発明は、樹脂積層構造の配線基板においても同様に具体化できる。樹脂積層構造の多層配線基板でもその製造工程上、反りなどの変形が発生し、同様の解決すべき課題があるためである。本発明は、ＢＧＡ（ボールグリッドアレイ）やＰＧＡ（ピングリッドアレイ）などの各種のタイプのフリップチップ接続用の配線基板において広く適用できる。

【発明の効果】以上の説明から明らかなように、本発明に係る配線基板によれば、後工程でマークを消失させることなく、フリップチップ搭載面を所定量、平面研磨できる。すなわち、請求項１記載の本発明に係る配線基板によれば、チップ搭載面に適切な研磨代を設定するとともに、マークをそのフリップチップ搭載面より適量下に存在するように設けることで、マーク付でありながら、それを消失させることなくチップ搭載面を平面研磨することができる。したがって、チップ搭載面に存在する多数の電極群の上端面は、チップ搭載面と同様に高度のコーポラナリティとすることができる。

る配線基板においても、フリップチップ搭載面を形成する絶縁材層の上面に適切な研磨代を設定することで、位置決めマーク付でありながら、それを消失させることなくチップ搭載面を平面研磨することができる。したがって、このような基板においてもチップ搭載面に存在する多数の電極群の上端面は、チップ搭載面と同様に高度のコーポラナリティとすることができる。

【0034】そして請求項5記載の本発明に係る配線基板によれば、フリップチップ搭載面が平面研磨されたものであるから、フリップチップの bumps との接合用の電極面に高度のコーポラナリティをもつ配線基板となすことができる。したがって、チップの bumps との接続の信頼性を高めることができる。

【図１】本発明に係る配線基板の実施形態例の一部破断側面図。

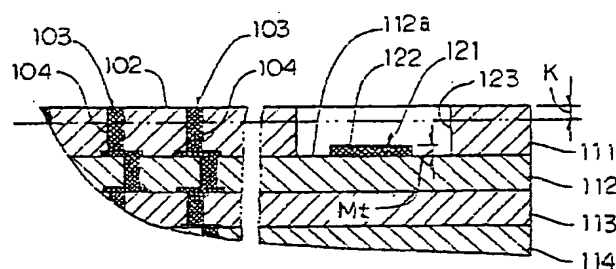
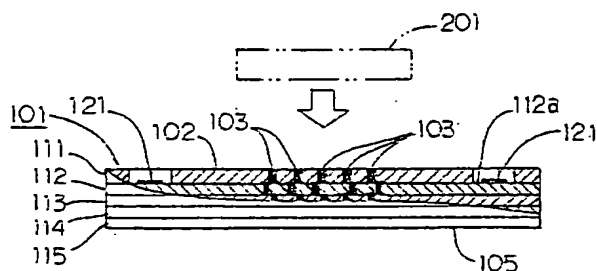
【図 3】本発明に係る配線基板の実施形態例の平面図及び部分拡大図。

【図5】別の実施形態を示す要部拡大断面図。

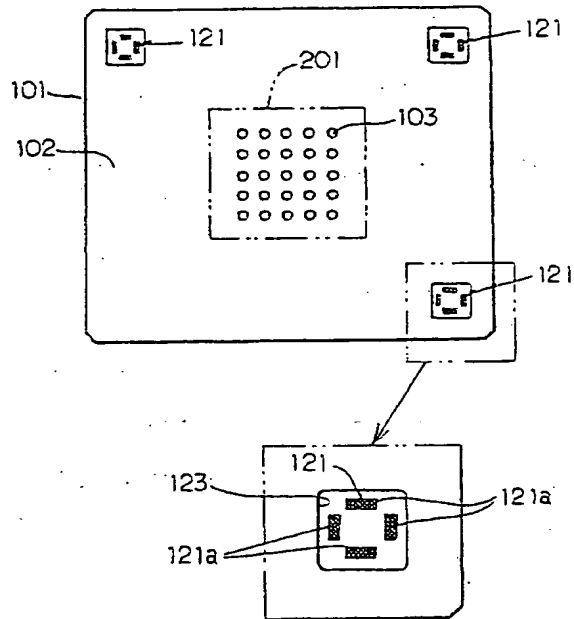
【図7】従来の配線基板の側面図。

- 1 0 1 配線基板
- 1 0 2 配線基板のチップ搭載面
- 1 0 3 電極
- 1 1 1 ~ 1 1 5 セラミック層（絶縁材層）
- 1 2 1 マーク
- 1 2 2 マークの上面
- 1 2 3 開口
- 2 0 1 フリップチップ

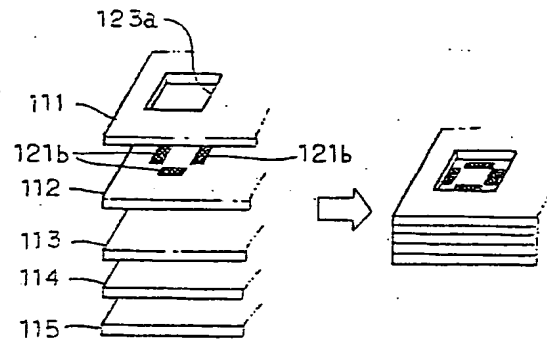
【圖2】



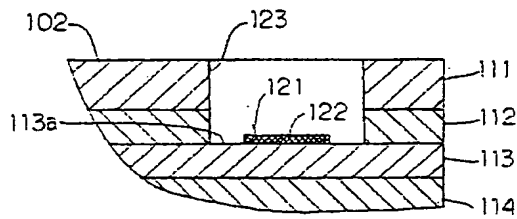
【図 3】



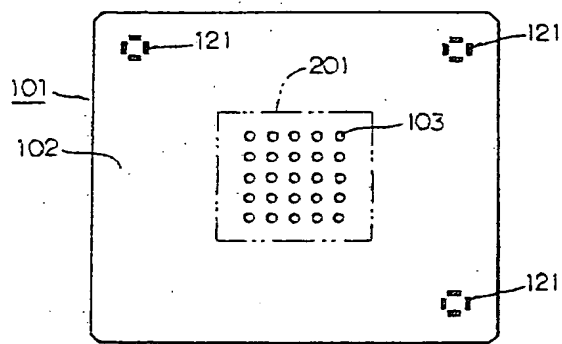
【図 4】



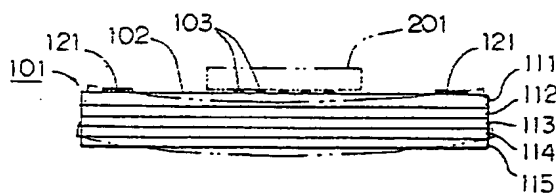
【図 5】



【図 6】



【図 7】



THIS PAGE BLANK (USPTO)